

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-125589

(43)Date of publication of application : 06.06.1987

(51)Int.Cl. G11C 7/00  
G11C 19/00

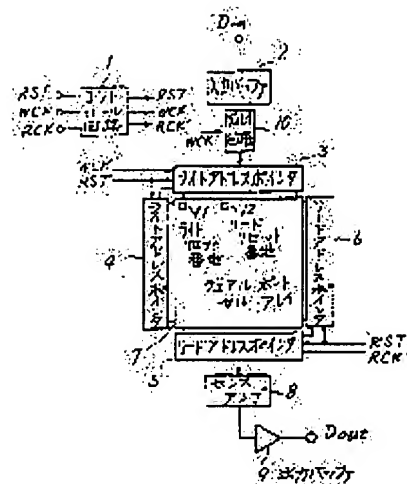
(21)Application number : 60-267708 (71)Applicant : NEC CORP  
(22)Date of filing : 27.11.1985 (72)Inventor : OZAWA KOJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To attain application as a digital delay line having optional delay length by providing a delay circuit between a data input part and a write data bus and setting the delay amount of the delay circuit at a proper level.

**CONSTITUTION:** A control circuit 1 inputs a applied reset signal RST, writing clock WCK and reading clock RCK and outputs internal control signals RST', WCK' and RCK' respectively. The signal RST' is inputted to address pointers 3W6 respectively and the writing and reading actions are initialized in different fixed addresses by the signal RST' respectively. In other words, input data Din is written on a dual port cell array 7 after a delay set to a delay circuit 10 in a writing mode. In this case, the delay length of the circuit 10 is set so that coincidence is secured between the address which is used when the valid write and inputted first after resetting is written on the array 7 via the data 10 and the address where the read data is set. Thus it is possible to form a circuit that has the variable delay length in response to the resetting interval.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-125589

⑫ Int.Cl.

G 11 C 7/00  
19/00

識別記号

3 1 8

庁内整理番号

A-6549-5B  
6549-5B

⑬ 公開 昭和62年(1987)6月6日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭60-267708

⑯ 出 願 昭60(1985)11月27日

⑰ 発 明 者 小 沢 幸 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

二次元状に配置されたデュアルポートメモリセルアレイと、該メモリセルアレイに書き込みを行なうため、そのメモリセルを一定の順序で選択するように構成した書き込み行及び列選択回路と、該メモリセルから読出しを行なうためメモリセルを書き込みと同じ順序で選択するように構成した読出し行及び列選択回路と、外部書き込みクロックに同期して該メモリセルにデータを書き込む手段と、外部読出しクロックに同期して該メモリセルからデータを読出す手段と、外部リセット信号により前記書き込み手段および読出す手段における書き込み番地と読出し番地を互いに異なる所定値にインシャライズする手段を備えた半導体集積回路において、該書き込み手段は、データ入力部とライトデータバ

ス間に外部書き込みクロックに同期して駆動されるディレイ回路を含み、その遅延の大きさは、リセット後初めて入力した有効ライトデータが、該リセット信号によりインシャライズされた読出し番地にちょうど送られるだけの大きさに設定したことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデュアルポートメモリセルを使用したデジタル遅延線として使用する半導体集積回路に関し、特に、外部から加えるリセット信号の期間(長さ)に応じてディレイ長を可変にすることができる遅延線として使用する半導体集積回路に関する。

(従来の技術)

デジタルテレビ等においてはライン単位の処理を行なうため1ライン分(910ビット)の遅延線が用いられる。このような遅延線を半導体回路で作る場合は、二次元状に配置されたデュアルポ

トメモリセルアレイを記憶装置とし、その記憶（書き込み／読み出し）順序が一定になるように制御し、かつリセット信号により書き込み番地が読み出し番地より所定値（例えば910ビット）だけ先行する位相にイニシャライズするような構成にし、リセット後外部クロックに同期して、ライト／リードを行なえば読み出し番地はイニシャライズ後910サイクルたつてから、最初のライト番地に一致し、その後クロックに同期して常に910ビット遅延したデータが読み出せるので910ビットのデレイ長を持ったデジタル遅延器として使用できる。

〔発明が解決しようとする問題点〕

しかしながらこの構成では、リセットによるライトとリードのイニシャライズ番地により遅延数が固定してしまうので、任意のデレイ長、例えば910ビット以外のデレイ長で使いたい場合には不便を生じる。

〔問題点を解決するための手段〕

本発明の半導体集積回路は、二次元状に配列されたデュアルポートメモリセルアレイと、該メモ

リセルアレイに書き込みを行なうため、そのメモリセルを一定の順序で選択するように構成した書き込み行及び列選択回路と、該メモリセルから読み出しを行なうためメモリセルを読み込みと同じ順序で選択するように構成した読み出し行及び列選択回路と、外部書き込みクロックに同期して該メモリセルにデータを書き込む手段と、外部読み出しクロックに同期して該メモリセルからデータを読み出す手段と、外部リセット信号により書き込み番地と読み出し番地を互いに異なる所定値にイニシャライズする手段を備えた半導体集積回路において、該書き込み手段は、データ入力部とライトデータバス間に外部書き込みクロックに同期して駆動されるデレイ回路を含み、その遅延の大きさは、リセット後初めて入力した有効ライトデータが、リセット信号によりイニシャライズされた読み出し番地にちょうど書き込まれるだけの大きさに設定したことを特徴とする。

〔実施例〕

第1図は本発明の一実施例を示すブロック図である。コントロール回路1は外部から印加される

リセット信号RST、書き込み用クロックWCK、読み出し用クロックRCK、（WCK、RCKは共通でも良い。）を入力し、内部制御信号RST'、WCK'、RCK'を出力する。入力バッファ2は入力データDinの増幅などを行なう。列選択用のライトアドレスポインタ<sup>3</sup>および行選択用のライトアドレスポインタ<sup>4</sup>はそれぞれリングカウンタにより構成される。列選択用のリードアドレスポインタおよび行選択用のリードアドレスポインタはカウンタにより構成される。7は行、列2次元状に配列されたデュアルポートセルアレイである。8は読み出しデータを増幅するためのセンスアンプで、9はその出力を出力データDoutとして出力する出力バッファである。デレイ回路10は入力バッファ2とライトデータバスを接続し、信号WCK'により駆動される。外部からリセット信号RSTを加えることにより、例えば、ライトアドレスはライトリセットアドレス11に、リードアドレスはリードリセットアドレス12に、それぞれイニシャライズされる。

デレイ回路10のデレイ長はライトリセットアドレス11がリードリセットアドレス12に追いつくに必要なサイクル数（すなわち番地差）に等しい長さに設定されている。

列選択用のライトアドレスポインタ3は、デレイ回路10の出力、すなわちライトデータバス上のデータを信号WCK'に同期して一定の順序でデュアルポートセルアレイ<sup>7</sup>に書き込むために、データバスとセルアレイ7内のビット線とを接続するスイッチ素子の活性化信号を発生する。列選択用のライトアドレスポインタ3はリングカウンタにより構成されているので活性化信号の出力位置が列の最終まで達すると最初に戻り同じ動作を繰り返す。行選択用のライトアドレスポインタ4は、駆動クロックに同期してセルアレイ7内の書き込み行線を一一定の順序で選択する。この駆動クロックとしては、列選択用のライトアドレスポインタ3による選択位置が最終列から最初列に戻るときに生じる内部発生パルス信号が用いられる。行選択用ライトアドレスポインタ4もリングカウンタにより構成

されるので、その選択位置が行の最終まで進すると最初に戻り同じ動作を繰り返す。これにより二次元状に配置されたデュアルポートセルアレイ7を逐次読み用クロックWCKに同期して最初の行及び列（セルアレイ7の左上）から最終の行及び列（第1図のセルアレイ7の右下）までの読み込みを繰り返してエンドレスに行なうことができる。

リードアドレスポイント5, 6もライトの構成と同様に構成されている。駆動クロックとしては列が信号RCK', 行が列選択用のリードアドレスポイント5から発生する内部発生パルス信号が用いられる。デュアルポートセルアレイ7からの読出しデータを信号RCK'に同期して一定の順序で読出すために、列選択リードアドレスポイント5の出力は、セルアレイ内のビット線とリードデータバス（すなわちセンスアンプ8の入力部）とを接続するスイッチ素子の活性化信号として使われる。行選択用のリードアドレスポイント6の出力はメモリセル内のリードの行線に接続される。読み込みと読出しは同じ選択順序となるように各ラ

イザライズされる。1後、初めて入力する有効ライトデータが送達回路10を経てライトデータバスに達し、メモリセルに書き込まれるときの番地が、ちょうどリードのリセット（イニシャライズ）された番地を一致するようにライト／リードのリセット番地もしくは、ディレイ回路10のディレイ長を調整する。

次に、このように構成された半導体メモリの動作について第3図のタイミング図を用いて説明する。尚、説明を分かりやすくするためにクロックWCK, RCKは同一のクロックCK（内部はCK）により駆動されるものとする。またリードのリセットアドレスは0番地、ライトのリセットアドレスは-2（-2は0番地より2番地後退したアドレスを意味する。）番地とする。またライト／リードのリセット番地の差は2であるのでディレイ回路10の遅延数も2に対応するものとする。

第3図において、リセット信号RSTはHレベルのときリセットが行われる。共通のクロック信号CKの1サイクル間でメモリセルの1アドレ

イトアドレスポイント3, 4およびリードアドレスポイント5, 6が駆動される。ディレイ回路10は入力と出力は分離されたシフトレジスタで構成される。またその駆動クロックとしては信号WCK'が用いられる。

アドレスポイント3~6には信号RST'が入力しており、この信号によりライト／リードはそれぞれ別の固定番地にイニシャライズ（リセット）される。このときリードのリセット番地はライトのリセット番地より、ディレイ回路10のディレイ長に対応した番地分だけ先行した位置に設定される。すなわち読み込みを行なう際、入力データDinはディレイ回路10のために、すぐにはメモリセルにライトされないでディレイ回路10に設定されている遅延後メモリセルにライトされる。この際、ディレイ回路10と列選択用のライトアドレスポイント3は同じ信号WCK'で駆動されるため、データがディレイ回路10内を遅延する際にライト番地も移動する。従ってリセット（すなわちライトアドレス／リードアドレスが所定番地にイニ

ズが選択され、同クロックのライズエッジで内部アドレスがインクリメントされる。上述の仮定により信号RSTによりライトアドレスは-2番地に、リードアドレスは0番地にリセットされる。また入力データDinのうち、リセット後の最初の有効読み込みデータD0が入力される。クロックCKに同期してライトアドレス、リードアドレスはインクリメントされ、新しいライトアドレスに応じて入力データDinも新データ（D1, D2, ……）が印加される。

ライトアドレスとリードアドレスの差は2番地（2サイクル分）であり、またディレイ回路のディレイ数もそれに応じて2ビット（2サイクル分）に調整されているので、リセット後、最初に入力したデータD0は2サイクル後、ライトデータバスすなわちディレイ回路10の出力にあらわれ、そのときのライトアドレスすなわち0番地に格納される。従って入力データD1は1番地に、データD2は2番地に……以下同様に格納され、結局リセット後のライトデータは実質的にメモリセル

の0番地に格納されていることになる。

一方、読出しアドレスは最初から0番地にリセットされているので、クロックに同期して0番地に格納されていたデータ、すなわち1つ前のリセットの後に格納されたデータを先頭から順に読出すことになる。言い換えれば第3図においてリセット後に格納されたデータは次のリセット後に先頭から順に読出されることになる。このことによりメモリ容量を知らない範囲のサイクル間隔でリセット信号及び $\phi$ を加えることにより、リセット間隔に応じた可変のディレイ長さをもったディレイ回路を構成できる。

以上の説明ではライトのリセット番地とリードのリセット番地の数を2としたが、この値は2に限定されず他の数を取ることができる。この場合、その値に応じてディレイ回路10のディレイ長も変える必要がある。この値があまり大きいと端子Dinからのライトデータが実際にメモリセルに格納されるまでに時間がかかるので一般的には1ないし2が適当である。

RST', WCK', RCK' ……内部制御信号、D0, D1 ……ライトデータ。

代理人 弁理士 内 原 晋

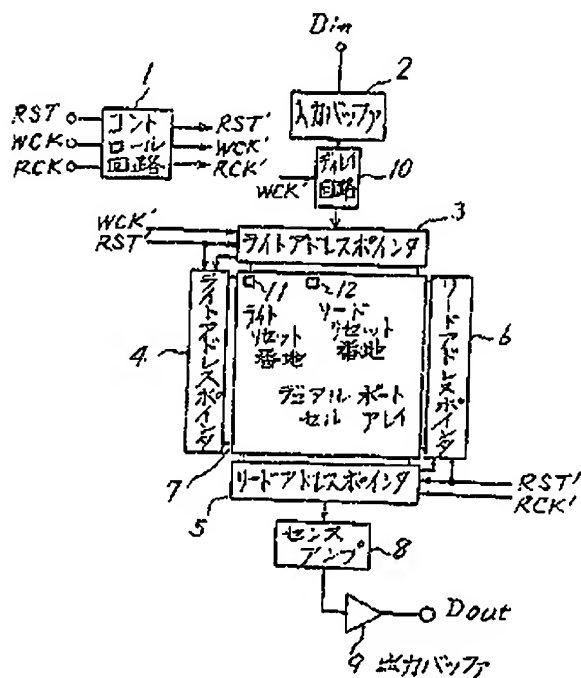
(発明の効果)

以上に説明したように本発明は、リセット間隔を任意に選ぶことによってそれに応じたディレイ長さをもったデジタル遅延線として使用することが可能となる。

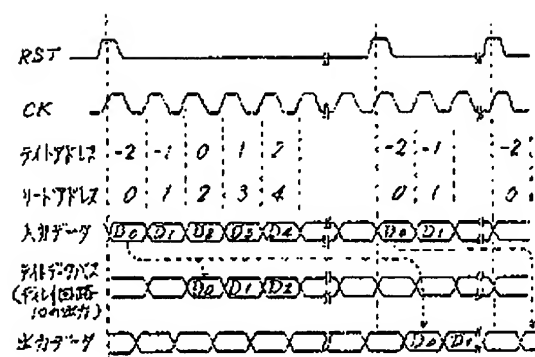
#### 4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図の動作を示すタイミング図である。

1 ……コントロール回路、2 ……入力バッファ、3 ……列選択用のライトアドレスポイント、4 ……行選択用のライトアドレスポイント、5 ……列選択用のリードアドレスポイント、6 ……行選択用のリードアドレスポイント、7 ……デュアルポートセルアレイ、8 ……センスアンプ、9 ……出力バッファ、10 ……ディレイ回路、11 ……ライトリセットアドレス、12 ……リードリセットアドレス、RST ……リセット信号、WCK ……書き込み用クロック、RCK ……読出し用クロック、CK ……書き込み及び読出し用の共通のクロック、



第 1 図



第 2 図